

Docket No.: P2002,0634

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : SVEN BOLDT
Filed : CONCURRENTLY HEREWITH
Title : METHOD FOR TESTING A SEMICONDUCTOR MEMORY
HAVING A PLURALITY OF MEMORY BANKS

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 34 944.4, filed July 31, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,


For Applicant

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: July 31, 2003


Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

 **Aktenzeichen:** 102 34 944.4

Anmeldetag: 31. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zum Testen eines Halbleiterspeichers
mit mehreren Speicherbänken

IPC: G 11 C 29/00

 **Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 10. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Faust

Beschreibung

Verfahren zum Testen eines Halbleiterspeichers mit mehreren Speicherbänken

5

Die Erfindung betrifft ein Verfahren zum Testen eines Halbleiterspeichers mit mehreren Speicherbänken, wobei testweise Informationen in Speicheradressen geschrieben und/oder aus den Speicheradressen ausgelesen werden.

10

Integrierte Halbleiterspeicher, insbesondere flüchtige Halbleiterspeicher wie etwa DRAMs (Dynamic Random Access Memory) werden nach ihrer Herstellung getestet, um den einwandfreien Betrieb des Halbleiterspeichers zu überprüfen. Dabei finden

15

testweise Schreib- und Lesezugriffe auf die Speicheradressen des Halbleiterspeichers statt, wodurch überprüft wird, ob in dem Halbleiterspeicher eingeschriebene Informationen richtig gespeichert werden oder verloren gehen. Die Zuverlässigkeit der Speicherung kann in den verschiedenen Speicherzellen ei-

20

nes Halbleiterspeichers sehr unterschiedlich sein, weshalb eine große Zahl von Speicherzellen, idealerweise jede Speicherzelle zu testen ist. Da die Fehleranfälligkeit der Speicherung nicht nur von der geometrischen Präzision der einzelnen Speicherzelle, sondern auch von umliegenden Strömen ab-

25

hängt, die je nach Speicherzustand der benachbarten Speicherzellen veränderlich sind, genügt es nicht, jede Speicherzelle nur einmal auf ihre Zuverlässigkeit zu testen. In der Regel

30

müssen für verschiedene geometrische Muster gespeicherter Datenbits Testversuche vorgenommen werden, um die Fehleranfälligkeit der einzelnen Speicherzellen abhängig von wechselnden elektrischen Umgebungsbedingungen zu testen.

35

Der testweise Betrieb eines solchen Halbleiterspeichers ist zeitraubend. Um die Testzeit zu verkürzen, ist beispielsweise üblich, bei einem Halbleiterspeicher mit mehreren Speicherbänken sämtliche Speicherbänke gleichzeitig zu testen. Bei einem Halbleiterspeicher mit vier Speicherbänken wird dadurch

eine gewisse Beschleunigung des Testvorgangs erreicht. Die zum Zugriff auf eine Speicherzelle erforderliche Zeit läßt sich alternativ auch durch einen "Interleaved"-Modus im statischen Mittel vermindern. In diesem Modus wird ausgenutzt, daß die zum Zugriff auf eine Speicherzelle erforderlichen Befehle um jeweils mindestens zwei Taktzeiten versetzt zueinander ausgeführt werden (teilweise sind aus prozeßtechnischen Gründen noch größere zeitliche Abstände zwischen aufeinanderfolgenden Befehlen zum Zugreifen auf eine bestimmte Speicherzelle erforderlich). So kann beispielsweise eine bestimmte Wortleitung frühestens zwei Taktzeiten aktiviert, d.h. auf einen zum Schreiben oder Lesen geeigneten Spannungszustand geschaltet werden, nachdem diese Wortleitung zuletzt auf ihren Grundzustand geschaltet wurde. Ebenso kann ein in einer Speicheradresse gespeichertes Datenbit frühestens zwei Taktzeiten ausgelesen werden, nachdem die Wortleitung, an welche die betreffende Speicherzelle angeschlossen ist, aktiviert wurde. Daneben existieren weitere zeitliche Randbedingungen, die durch die Bauweise und die Funktionsweise der Halbleiterspeicher vorgegeben sind. Daher vergeht jede zweite Taktzeit, ohne daß ein Befehl ausgeführt wird. Es ist nicht möglich, einer ungenutzten Taktzeiten einen Befehl zuzuordnen, der auf dieselbe Speicheradresse zugreift wie die Befehle, die zur letzten vorherigen oder zur nächsten folgenden Taktzeit ausgeführt werden; dies ist mit der Funktionsweise heutiger Halbleiterspeicher nicht verträglich. Da aus Zeitersparnisgründen häufig auch mehrere Speicherzellen gleichzeitig, d.h. auf den gesamten Speicherbereich einer Speicherbank zugegriffen wird, gilt diese zeitliche Einschränkung auch für das gesamte Speicheradressenfeld einer Speicherbank.

In dem "Interleaved"-Modus wird ausgenutzt, daß hinsichtlich der Speichervorgänge auf verschiedenen Speicherbänken kein derartiger Zusammenhang besteht. Daher ist es möglich, zu aufeinanderfolgenden Taktzeiten alternierend in der ersten Bank und in einer zweiten Speicherbank Befehle auszuführen. Dadurch entsteht eine Befehlskette, durch die abwechselnd

zwei oder mehr Speicherbänke angesprochen werden, wodurch eine zeitlich verschachtelte Ansteuerung dieser Speicherbänke erreicht wird. Durch die Nutzung ungenutzter Taktzeiten kann eine Beschleunigung des Testvorgangs um maximal einen Faktor von Zwei erreicht werden.

10 Dieses Verfahren hat jedoch den Nachteil, daß bei einer bestimmten Taktzeit nicht mehr gleichzeitig auf sämtliche vier Speicherbänke zugegriffen werden kann. Das parallele Ansteuern aller Speicherbänke beim speicherbankparallelen Betrieb verträgt sich nicht mit dem "Interleaved"-Modus, bei dem zwar in kürzeren zeitlichen Abständen von meistens einer Taktzeit Befehle ausgeführt werden, wobei jedoch nur auf jeweils eine einzige Speicherbank zugegriffen wird. Der "Interleaved"-
15 Modus führt daher nur zu einer begrenzten Beschleunigung des Testbetriebs im Vergleich zur speicherbankparallelen Ansteuerung.

20 Es ist die Aufgabe der vorliegenden Erfindung, ein schnelleres Verfahren zum Testen eines Halbleiterspeichers mit mehreren Speicherbänken bereitzustellen.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß
- für das Speicheradressenfeld jeder Speicherbank mehrere Teilbereiche definiert werden, die unabhängig voneinander angesteuert werden,
- daß für jede Speicherbank unter Verwendung von ersten Befehlen, die auf einen ersten Teilbereich des Speicheradressenfeldes der jeweiligen Speicherbank zugreifen, und unter
30 Verwendung von zweiten Befehlen, die jeweils auf einen anderen, zweiten Teilbereich des Speicheradressenfeldes derselben Speicherbank zugreifen, eine der Speicherbank zugeordnete komprimierte Befehlsfolge gebildet wird, in der die ersten Befehle ungeraden Taktzeiten zugeordnet sind und in
35 der die zweiten Befehle geraden Taktzeiten zugeordnet und zwischen die ersten Befehle eingeschoben sind, und

- daß die Informationen geschrieben und/oder ausgelesen werden, indem parallel in allen Speicherbänken die diesen Speicherbänken jeweils zugeordneten komprimierten Befehlsfolgen ausgeführt werden.

5

Erfindungsgemäß wird ein Verfahren bereitgestellt, das einen "Interleaved"-Modus mit einem speicherbankparallelen Testbetrieb vereint. Es wird eine Unterteilung des Speicheradressenbereichs jeder Speicherbank in Teilbereiche vorgenommen, die testweise unabhängig voneinander angesteuert werden. Somit wird nicht mehr auf eine Speicherbank insgesamt zugegriffen, sondern nur noch auf einen Teilbereich dieser Speicherbank. Dabei wird mindestens pro Speicherbank ein erster Teilbereich und ein zweiter Teilbereich festgelegt, die zueinander (und zu eventuellen weiteren Teilbereichen) disjunkte Mengen von Speicheradressen umfassen. Diese Unterteilung wird erfindungsgemäß für alle Speicherbänke vorgenommen. Technisch wird diese Unterteilung durch die Art der Ansteuerungsschaltung realisiert, mit der der Halbleiterspeicher testweise betrieben wird.

20

Erfindungsgemäß wird für jede Speicherbank eine Befehlsfolge gebildet, die erste sowie zweite Befehle enthält, die auf den ersten bzw. zweiten Teilbereich des Speicheradressenfeldes der jeweiligen Speicherbank zugreifen. Die Befehlsfolge ist so ausgebildet, daß zu ungeraden Taktzeiten die auf den ersten Teilbereich zugreifenden Befehle und zu geraden Taktzeiten die auf den zweiten Teilbereich zugreifenden Befehle ausgeführt werden; letztere sind dabei zwischen die auf den ersten Teilbereich zugreifenden Befehle eingeschoben. Auf diese Weise entsteht eine Befehlsfolge, die erste und zweite Befehle enthält, welche auf verschiedene Teilbereiche einer Speicherbank zugreifen. Zu jeder Taktzeit erfolgt ein Zugriff nur auf einen bestimmten Teilbereich. Beispielsweise wird nur in einem Teilbereich eine Wortleitung geöffnet, oder es werden nur in einem Teilbereich Bitleitungen ausgelesen. In keinem Fall jedoch werden beispielsweise zu einer bestimmten Takt-

30

35

zeit Wortleitungen aus mehreren Teilbereichen geöffnet; eine entsprechende Ausgestaltung der Testvorrichtung zum Testen des Halbleiterspeichers verhindert dies.

5 Erfindungsgemäß werden die Informationen dadurch geschrieben und/oder ausgelesen, daß parallel, d.h. gleichzeitig in allen Speicherbänken die den betreffenden Speicherbänken jeweils zugeordneten komprimierten Befehlsfolgen mit den ersten und den zweiten Befehlen ausgeführt werden. Die unter Verwendung
10 der ersten und zweiten Befehle gebildeten Befehlsfolgen, in denen zu geraden Taktzeiten zweite Befehle zwischen erste Befehle eingeschoben sein können, ermöglichen eine Art Interleaved-Modus in Bezug auf die disjunkten Teilbereiche einer einzigen Speicherbank. Während herkömmlich ein Interleaved-
15 Modus nur in Bezug auf verschiedene Speicherbänke bekannt ist, wird erfindungsgemäß ein Interleaved-Modus bezüglich verschiedener Teilbereiche des speicherbankinternen Adressenfeldes vorgeschlagen. Dieser Interleaved-Modus wird erfindungsgemäß auf allen Speicherbänken des Halbleiterspeichers
20 parallel durchgeführt. Beispielsweise wird zu einer ersten Taktzeit in allen vier Speicherbänken innerhalb eines jeweils ersten Teilbereichs dieser Speicherbänke jeweils eine Wortleitung (oder eine Gruppe von Wortleitungen) geöffnet. In der nächsten Taktzeit werden beispielsweise in zweiten Teilbereichen aller vier Speicherbänke Datenbits eingeschrieben. In der darauf folgenden Taktzeit werden in den ersten Speicherbereichen aller vier Speicherbänke Speicherzellen ausgelesen. Das erfindungsgemäße Verfahren ermöglicht somit einen speicherbankparallelen Betrieb und zugleich eine Ausnutzung der
30 herkömmlich beim bankparallelen Betrieb ungenutzten Taktzeiten, wodurch die Testzeit verkürzt wird. Gegenüber der speicherbankparallelen Betriebsweise wird eine Beschleunigung um einen Faktor bis zu 2,0 erzielt; gegenüber dem herkömmlichen Interleaved-Modus eine Verkürzung bis um einen Faktor 4,0.

35

Die Befehlsfolgen, von denen jede auf einer bestimmten Speicherbank ausgeführt wird, brauchen nicht ausschließlich aus

den ersten und den zweiten Befehlen, die auf den ersten und zweiten Teilbereich zugreifen, zu bestehen, sie können auch weitere Befehle enthalten, die auf weitere disjunkte Teilbereiche zugreifen und ebenfalls zwischen die ersten Befehle eingeschoben sind. In jedem Fall jedoch entstehen durch das zeitliche Ineinanderschieben von Befehlen, die auf unterschiedliche disjunkte Teilbereiche einer Speicherbank zugreifen, komprimierte Befehlsfolgen, die das Testen des Halbleiterspeichers beschleunigen.

10

Vorzugsweise ist vorgesehen, daß das Speicheradressenfeld jeder Speicherbank in vier Teilbereiche unterteilt wird und daß die komprimierten Befehlsfolgen so gebildet werden, daß zu ungeraden Taktzeiten entweder auf den ersten Teilbereich oder einen dritten Teilbereich und zu geraden Taktzeiten entweder auf den zweiten Teilbereich oder auf einen vierten Teilbereich des Speicheradressenfeldes der jeweiligen Speicherbank zugegriffen wird. Hierbei wird das Speicheradressenfeld einer Speicherbank in vier gleich große Teilfelder unterteilt, die ausschließlich einzeln zu einer vorgegebenen Taktzeit angesteuert werden. Dabei werden zwei Gruppen von Teilbereichen gebildet. Die Teilbereiche der ersten Gruppe werden ausschließlich zu geraden Taktzeiten angesprochen; die übrigen ausschließlich zu ungeraden Taktzeiten. Unter Berücksichtigung der zeitlichen Mindestabstände zwischen aufeinanderfolgenden Befehlen, die auf denselben Teilbereich des Adressenfeldes zugreifen, kann nun die komprimierte Befehlsfolge gebildet werden, indem die ersten und dritten Befehle auf die ungeraden Taktzeiten verteilt werden entsprechend den technisch vorgeschriebenen Mindestzeitabständen zwischen Befehlen, die auf denselben Teilbereich zugreifen. Entsprechend werden auch die zweiten und vierten Befehle, die auf den zweiten bzw. vierten Teilbereich zugreifen, auf die geraden Taktzeiten verteilt. Es entsteht eine komprimierte Befehlsfolge, deren Befehle die verschiedenen Teilbereiche des bank-internen Adressenfeldes in abwechselnder bzw. unterschiedlicher Reihenfolge ansprechen. Auf ähnliche Weise kann das ban-

15

20

30

35

kinterne Speicheradressenfeld auch in eine Anzahl von $2n$ disjunkte Teilbereiche unterteilt werden. Dabei ist eine zunehmende Anzahl zeitlicher Randbedingungen zu berücksichtigen, wodurch Taktzeiten auftreten können, zu denen noch kein Befehl ausführbar ist, weil ein ausreichender zeitlicher Abstand zum Zugriff auf die Teilbereiche in den vorherigen Taktzeiten und noch nicht erreicht ist. Jedoch läßt sich in jedem Fall eine deutliche Beschleunigung durch Ausnutzung auch der ungeraden Taktzeiten erreichen.

10

Vorzugsweise ist vorgesehen, daß innerhalb der komprimierten Befehlsfolgen die Reihenfolge der abwechselnd auf mehrere Teilbereiche des Speicheradressenfeldes der jeweiligen Speicherbank zugreifenden Befehle so gewählt ist, daß einer jeden Taktzeit ein Befehl zugeordnet ist, der auf einen der Teilbereiche der jeweiligen Speicherbank zugreift.

15

Eine Weiterbildung des erfindungsgemäßen Verfahrens sieht vor, daß jede einer Speicherbank zugeordnete Befehlsfolge eine Aneinanderreihung von Befehlsblöcken enthält, in der ein beliebiger Befehlsblock Befehle zum Ansteuern jeweils einer Speicheradresse aus jedem Teilbereich des Speicheradressenfeldes der jeweiligen Speicherbank enthält. Hierbei wird die einer Speicherbank zugeordnete Befehlsfolge in Form einer Sequenz von Befehlsblöcken gebildet, bei der jeder Befehlsblock auf alle Teilbereiche mindestens einmal zugreift, und zwar auf eine Speicheradresse aus jedem Teilbereich des Adressenfeldes. Im Falle von vier Teilbereichen pro Speicherbank enthält jeder Befehlsblock daher Befehle, mit denen in jedem Teilbereich beispielsweise ein Datenbit einer Speicheradresse ausgelesen wird. Für ein solches Auslesen muß jeweils eine entsprechende Wortleitung aktiviert werden, eine entsprechende Bitleitung ausgelesen und die entsprechende Wortleitung wieder geschlossen werden. Pro Speicheradresse sind jeweils drei Befehle vorgesehen, d.h. insgesamt 12 Befehle für die vier Speicheradressen der vier Teilbereiche. Innerhalb des Befehlsblocks werden diese Befehle so ineinander eingeschoben.

20

25

30

35

ben, daß zu jeder Taktzeit ein Befehl ausgeführt werden kann. Hierzu darf beispielsweise auf den ersten Teilbereich nur zu ungeraden Taktzeiten zugegriffen werden, und auch nur dann, wenn dies mit den funktionsbedingten zeitlichen Mindestab-
5 ständen zwischen aufeinanderfolgenden Zugriffen auf denselben (ersten) Teilbereich der Speicherbank verträglich ist. Nach der Ausführung des aus zwölf Befehlen bestehenden Befehlsblocks wird ein weiterer Block von Befehlen ausgeführt, mit denen vier weitere Speicherzellen aus jeweils vier unterschiedlichen Teilbereichen des bankinternen Adressenfeldes
10 ausgelesen werden.

Vorzugsweise ist vorgesehen, daß jede Befehlsfolge aus Befehlen zum Schreiben oder zum Lesen von Informationen und aus
15 Befehlen zum Aktivieren oder zum Deaktivieren von Wortleitungen besteht. Ebenso kann vorgesehen sein, daß nur einige dieser Befehle verwendet werden, wenn etwa in einer bestimmten Testphase alle Zellen beschrieben sind und nur die Leseergebnisse interessieren.

20 Eine bevorzugte Ausführungsart sieht vor, daß das Speicheradressenfeld jeder Speicherbank in Richtung senkrecht zum Verlauf der Wortleitungen in mehrere unabhängig voneinander angesteuerte Teilbereiche unterteilt wird, auf die durch die der jeweiligen Speicherbank zugeordnete Befehlsfolge abwechselnd zugegriffen wird. Hierbei wird der Adressenbereich der Wortleitungen in beispielsweise vier Teilbereiche unterteilt und beim Testbetrieb so angesteuert, daß zu einer festen
Taktzeit nur die Speicheradressen eines einzigen Teilbereichs
30 ansteuerbar sind. Beispielsweise wird im Falle von vier Teilbereichen pro Taktzeit höchstens ein Viertel der Wortleitungen gleichzeitig geöffnet oder geschlossen. Alternativ dazu kann vorgesehen sein, daß der Halbleiterspeicher so angesteuert wird, daß das bankinterne Speicheradressenfeld in Richtung senkrecht zum Verlauf der Bitleitungen, das heißt nach
35 Bitleitungsnummer geordnet in mehrere disjunkte Teilbereiche unterteilt wird.

Vorzugsweise ist vorgesehen, daß die den Speicherbänken zugeordneten Befehlsfolgen so aufgebaut sind, daß jeder Befehl zum Auslesen einer Speicheradresse genau zwei Taktzeiten nach einem Befehl folgt, durch welchen diejenige Wortleitung, an die die auszulesende Speicheradresse angeschlossen ist, aktiviert wird. Hierbei wird die sogenannte RAS-CAS-Verzögerungszeit (Row Address Sequence-Column Address Sequence) von zwei Taktzeiten bestmöglichst ausgenutzt; unnötige größere Zeitverzögerungen zwischen dem Aktivieren einer Wortleitung und dem Auslesen einer daran angeschlossenen Speicheradresse entstehen nicht. In ähnlicher Weise werden weitere funktionsbedingte Mindestzeitintervalle beim Betrieb des Halbleiterspeichers berücksichtigt, wenn die erfindungsgemäße Befehlsfolge aus auf unterschiedliche Teilbereiche einer Speicherbank zugreifenden Testbefehlen zusammengesetzt wird.

Mit Hilfe des erfindungsgemäßen Verfahrens kann grundsätzlich jede Art von Halbleiterspeicher getestet werden. Vorzugsweise ist jedoch vorgesehen, daß dynamische Halbleiterspeicher, insbesondere dynamische Schreib-Lese-Speicher getestet werden. Die im wesentlichen durch die Refreshzeit vorgegebene Taktzeit wird dabei dem erfindungsgemäßen Testverfahren zugrunde gelegt. Ebenso können jedoch auch Nur-Lesespeicher mit dem erfindungsgemäßen Verfahren getestet werden.

Die Erfindung wird nachstehend mit Bezug auf die Figuren 1 bis 5 beschrieben. Es zeigen:

- Figur 1 eine erste herkömmliche Befehlsfolge zum Testen eines Halbleiterspeichers in einem speicherbankparallelen Betriebsmodus,
- Figur 2 eine zweite herkömmliche Befehlsfolge in einem Interleaved-Modus in Bezug auf die Speicherbänke,

Figur 3 einen Halbleiterspeicher mit vier Speicherbänken,

Figur 4 vier Befehlsfolgen eines erfindungsgemäßen Verfahrens zum Testen eines Halbleiterspeichers aus Figur 3 und

Figur 5 einen Auszug aus einer Befehlsfolge aus Figur 4.

Figur 1 zeigt eine herkömmliche Befehlsfolge, die einem typischen testweisen Speicherzugriff zum Lesen von Speicherinformationen entspricht. Die dargestellte Befehlsfolge erstreckt sich über 16 Taktschritte; die den 16 Taktzeiten zugeordneten Befehle sind in der rechten Spalte dargestellt und greifen jeweils auf eine Bank A eines Halbleiterspeichers zu. Die Befehlsfolge enthält zwei Blöcke von jeweils 8 Taktzeiten, wobei in dem ersten Block auf eine Speicheradresse adr1 und in dem folgenden Block auf eine zweite Speicheradresse adr2 der Bank A zugegriffen wird. Es ist zu erkennen, daß nur bei relativ wenigen Taktzeiten ein Befehl ausgeführt wird; eine Null kennzeichnet eine Taktzeit, zu der kein Befehl abgesetzt wird. Zur Taktzeit 1 wird in der Speicherbank A die Wortleitung, an die die Speicheradresse adr1 angeschlossen ist, aktiviert, was durch das Befehlskürzel "act-A-adr1" ausgedrückt wird. Zur Taktzeit 2 kann noch kein Befehl ausgeführt werden, der auf die Speicheradresse adr1 zugreift. Die Bauweise und Funktionsweise eines integrierten Halbleiterspeichers ermöglicht erst zwei Taktzeiten nach dem ersten Zugriff, d.h. zur Taktzeit 3, einen weiteren Zugriff auf die Speicherbank A. Dann wird der Speicherinhalt der Speicheradresse adr1, d.h. eine digitale Information Null oder Eins - ausgelesen (rd für read). Es folgen drei weitere Taktschritte, in denen ein weiterer Zugriff auf die Speicherbank A noch nicht möglich ist. So muß zum Beispiel das ausgelesene Datenbit aus der Adresse adr1 erst weitergeleitet werden, wofür zwei Taktzeiten benötigt werden. Der nächste Zugriff auf die Speicherbank A erfolgt zur Taktzeit 7, bei der die Wortleitung, an die die Speicheradresse adr1 angeschlossen ist, wieder deaktiviert

wird (pre für precharge). Auf diese Weise werden sequentiell weitere Speicheradressen ausgelesen; zunächst die Speicheradresse adr2 (Taktzeiten 9 bis 16). Mit Hilfe eines wie in Figur 1 dargestellten Befehlsablaufs, der je nach Schreib- oder Lesezugriff oder kombiniertem Schreib-Lese-Zugriff unterschiedlich aufgebaut sein kann, aber in jedem Fall Leerlauf-taktzeiten enthält, kann auch gleichzeitig auch mehrere Speicherbänke zugegriffen werden. Es besteht jedoch auch dann der Nachteil, daß aufgrund der Leerlauf-taktzeiten, zu denen
 10 kein Befehl durchgeführt wird, Testzeit verbraucht wird.

Figur 2 zeigt eine andere herkömmliche Befehlsfolge entsprechend einem Interleaved-Modus, bei dem abwechselnd auf verschiedene Speicherbänke A, B, C und D zugegriffen wird. Zur
 15 Taktzeit 1 wird in der Speicherbank A eine Wortleitung aktiviert. Zur Taktzeit 2 wird in der Speicherbank B eine Wortleitung deaktiviert. Zur Taktzeit 2 wird in der Speicherbank A eine Speicherzelle ausgelesen. Danach wird zur Taktzeit 4 in der Speicherbank B eine Wortleitung aktiviert. Es folgen
 20 weitere Befehle, bei denen auch auf die Speicherbänke C und D zugegriffen wird. Die zur Taktzeit 1 aktivierte Wortleitung aus der Speicherbank A wird schließlich zur Taktzeit 11 wieder deaktiviert. Die sich über zwölf Taktzeiten erstreckende Befehlsfolge enthält nun keine Leerlauf-taktzeiten mehr; zu
 25 jeder Taktzeit wird ein Befehl ausgeführt, der auf eine der Speicherbänke A, B, C, D des Halbleiterspeichers zugreift. Dieses Verfahren hat jedoch den Nachteil, daß ein speicherbankparalleler Betrieb, bei dem zu jeder Taktzeit auf alle vier Speicherbänke zugegriffen wird, nicht möglich ist. Die
 30 benötigte Testzeit kann mit diesem Verfahren daher nur begrenzt verkürzt werden.

Figur 3 zeigt einen Halbleiterspeicher 10 mit vier Speicherbänken A, B, C und D. Der Halbleiterspeicher ist vorzugsweise
 35 ein DRAM, d.h. ein flüchtiger Halbleiterspeicher. Er kann auch $2n$ Speicherbänke besitzen, wobei n eine natürliche Zahl ist. Der dargestellte Halbleiterspeicher kann entweder mit

Hilfe eines herkömmlichen Testverfahrens oder mit Hilfe eines erfindungsgemäßen Testverfahrens getestet, wobei in beiden Fällen ein Funktionstest durchgeführt wird, bei dem digitale Informationen (0; 1), die in einem linken Teil der Speicherbank A exemplarisch dargestellt sind, testweise eingeschrieben und/oder ausgelesen werden. Vereinfachend wird angenommen, daß in jeder Speicheradresse einer Speicherbank genau ein Datenbit gespeichert werden kann. Jedoch ist auch jede beliebige größere Busbreite des Halbleiterspeichers denkbar.

10

Bei einem herkömmlichen Testverfahren gemäß Figur 1 wird parallel auf alle vier Speicherbänke A bis D zugegriffen, wobei die in Figur 1 dargestellten Befehle zu jeweils gleichen Taktzeiten in allen vier Bänken ausgeführt werden, aber durch viele Leerlaufaktzeiten getrennt sind.

15

Bei einem herkömmlichen Testverfahren gemäß Figur 2 wird zu jeder Taktzeit auf einen anderen Halbleiterspeicher A, B, C oder D zugegriffen als zur vorherigen Taktzeit. Ein paralleles Testen aller vier Speicherbänke ist dabei nicht möglich.

20

Bei dem erfindungsgemäßen Testverfahren erfolgt ein Zugriff sowohl speicherbankparallel als auch in einem Interleaved-Modus, wobei dieser Interleaved-Modus nicht in Bezug auf die verschiedenen Speicherbänke A bis D durchgeführt wird, sondern in Bezug auf Untereinheiten A1, A2, A3, A4, B1, ..., D4 der Speicherbänke, welche bei dem erfindungsgemäßen Verfahren unabhängig voneinander angesteuert werden. Beispielsweise werden für jede Speicherbank vier Teilbereiche des speicherbankinternen Speicheradressenfeldes definiert, etwa für die Speicherbank A die Teilbereiche A1, A2, A3 und A4. Die Unterteilung des Speicheradressenfeldes in Teilbereiche kann durch Begrenzung des jeweiligen Row- oder Column-Adreßbereichs erfolgen. In Figur 3 beispielsweise sind die Teilbereiche A1 bis A4 disjunkten Mengen von Wortleitungsadressen zugeordnet; es werden beispielsweise anstelle der gesamten Speicherbank A mit beispielsweise 4096 Wortleitungsadressen vier Teilberei-

30

35

che A1 bis A4 mit jeweils 1024 Wortleitungsadressen unabhängig voneinander angesteuert. Durch diese Art der Ansteuerung bei dem testweisen Schreib-Lese-Zugriff, Lesezugriff oder Schreibzugriff kann ein Interleaved-Modus in Bezug auf die
5 verschiedenen Teilbereiche derselben Speicherbank A durchgeführt werden, bei dem im gesamten Halbleiterspeicher 10 die Testzeit verkürzt wird. Die in Figur 3 dargestellte Aufteilung der Speicherbänke in Teilbereiche ist lediglich beispielhaft. Alternativ können beispielsweise die Teilbereiche
10 disjunkten Bitleitungsadreßbereichen zugeordnet werden. Im dargestellten Ausführungsbeispiel jedoch sind die Teilbereiche des bankinternen Adressenfeldes nach Wortleitungsadressen geordnet; jeder Teilbereich A1 bis A4 erstreckt sich über 1024 Wortleitungsadressen.

15

Figur 4 zeigt Befehlsfolgen eines erfindungsgemäßen Verfahrens zum Testen eines Halbleiterspeichers gemäß Figur 3, d.h. eines Halbleiterspeichers mit vier Speicherbänken A bis D. Die in Figur 4 dargestellte Tabelle zeigt, in welcher Weise
20 und auf welche Teilbereiche A1, A2, A3, A4, B1, ..., D4 in den Speicherbänken zu den verschiedenen Taktzeiten jeweils zugegriffen wird. Der Speicherbank A ist die Befehlsfolge 12A zugeordnet. Zur Taktzeit 1 wird in dem Teilbereich A1 eine Wortleitung aktiviert, an welche eine Adresse adr1 angeschlossen ist. Zur gleichen Taktzeit 1 wird auch in entsprechenden Teilbereichen B1, C1 und D1 der übrigen Speicherbänke eine Wortleitung des jeweils ersten Teilbereichs geöffnet. Dementsprechend wird in Figur 3 zur Taktzeit 1 auf die Felder A1, B1, C1 und D1 zugegriffen. Zur Taktzeit 2 (siehe Figur 4)
30 wird in den Teilbereichen A2, B2, C2 und D2 der Speicherbänke A, B, C, D jeweils eine Wortleitung, an welche eine jeweils zweite Speicheradresse adr2 angeschlossen ist, deaktiviert. Dementsprechend wird in Figur 3 zur Taktzeit 2 auf die Teilbereiche A2, B2, C2 und D2 zugegriffen. Zur Taktzeit 3 (siehe
35 Figur 4) wird wiederum auf die Teilbereiche A1, B1, C1 und D1 zugegriffen, indem die gespeicherten Informationen der Speicheradresse adr1 in den jeweiligen Speicherbänken A bis D

ausgelesen werden. Gemäß Figur 3 wird also zur Taktzeit 3 wiederum auf die bankinternen Teiladreßbereiche A1, B1, C1 und D1 zugegriffen. Wie bereits die Art des Zugriffs während der ersten 3 Taktzeiten erkennen läßt, erfolgt der erfindungsgemäße testweise Zugriff auf den Halbleiterspeicher einerseits speicherbankparallel, da zu jeder Taktzeit auf alle vier Speicherbänke zugegriffen wird. Andererseits wird ein Interleaved-Modus hinsichtlich der verschiedenen Teilbereiche innerhalb der Speicherbänke durchgeführt; beispielsweise wird in der Speicherbank A in Taktschritt 1 der Teilbereich 1, zur Taktzeit 2 der Teilbereich A2 und zur Taktzeit 3 wiederum der Teilbereich A1 angesprochen. Auf die Adresse adr1 wird zur Taktzeit 1 und zur Taktzeit 3 zugegriffen, wie in Figur 4 anhand der Befehlsfolge 12A für die Speicherbank A zu den Taktzeiten 1 und 3 erkennbar. Somit wird für die einzelne Speicheradresse adr1 auch weiterhin eine Zeitdifferenz von zwei Taktzeiten zwischen dem Aktivieren einer Wortleitung und dem Auslesen der Speicheradresse eingehalten; es werden dieselben zeitlichen Randbedingungen eingehalten wie bei einem herkömmlichen Verfahren gemäß Figur 1 (Taktzeiten 1 und 3). Jedoch werden die in Figur 1 erkennbaren Leerlauftaktzeiten erfindungsgemäß durch den speicherbankinternen, in Bezug auf die Teilbereiche des bankinternen Adreßfeldes vorgenommenen Interleaved-Modus vermieden. So wird zwar in dem Teilbereich A1 erst wieder zur Taktzeit 11 zugegriffen, wenn die Wortleitung deaktiviert wird, wie anhand von Figur 4 in der Befehlsfolge 12A zur Taktzeit 11 erkennbar. Jedoch wird zu jeder vorherigen Taktzeit 4 bis 10 auf jeweils einen anderen Teilbereich A2, A3 oder A4 derselben Speicherbank A zugegriffen, so daß keine Leerlauftaktzeiten entstehen.

Der erfindungsgemäße testweise Zugriff erfolgt speicherbankparallel, so daß für jede Speicherbank A, B, C, D, eine entsprechende Befehlsfolge 12A, 12B, 12C, 12D gebildet wird (Figur 4), in der die ersten Befehle, die auf einen ersten Teilbereich A1, B1, C1, D1 der jeweiligen Speicherbank A, B, C, D zugreifen ausschließlich ungeraden Taktzeit 1, 3, 11, 13, 15,

23 zugeordnet sind und bei dem zweite Befehle, die auf zweite Teilbereiche A2, B2, C2, D2 der jeweiligen Speicherbank zugreifen, ausschließlich geraden Taktzeiten 2, 4, 6, 14, 16, 18 zugeordnet und zwischen die ersten Befehle eingeschoben sind. Auch die auf die dritten und vierten Teilbereiche A3, A4, ..., D3, D4 zugreifenden Befehle sind zwischen die ersten Befehle eingeschoben. Die Reihenfolge der auf die verschiedenen Teilbereiche A1, A2, A3, A4 zugreifenden Befehle ist so gewählt, daß funktionsbedingte zeitliche Mindestabstände zwischen Befehlen, die auf denselben Teilbereich oder auf dieselbe Speicheradresse zugreifen, eingehalten werden. Beispielsweise wird die RAS-CAS-Verzögerungszeit (Row Address Sequence-Column Address Sequence-Delay) von zwei Taktzeiten eingehalten; der Zugriff auf die Speicheradresse adr1 (zur Taktzeit 3) folgt zwei Taktzeiten nach dem Öffnen der entsprechenden Wortleitung (in Taktzeit 1). Auch in den übrigen Teilbereichen A2, A3, A4 erfolgen die Schritte des Öffnens der Wortleitung und des Auslesens einer Speicherzelle jeweils im Abstand von zwei Taktzeiten, nämlich zu den Taktzeiten 2 und 4 (Teilbereich A2), 7 und 9 (Teilbereich A3) und 10 und 12 (Teilbereich A4). Entsprechendes gilt für die anderen Speicherbänke B, C und D. Die Speicheradressen, auf die zu einer bestimmten Taktzeit zugegriffen wird, müssen nicht für alle Speicherbänke dieselben sein, wie der Übersichtlichkeit halber in Figur 4 dargestellt.

Bei dem erfindungsgemäßen Zugriff auf die vier Speicherbänke A bis D werden vier Befehlsfolgen benötigt, die in Figur 4 nur für die ersten 24 Taktzeiten dargestellt sind. Jede Befehlsfolge 12A, ..., 12D kann aus einer Sequenz aneinanderge-
reihter Befehlsblöcke 13, 14, ... bestehen, wobei in jedem Block auf jeweils eine Speicherzelle aus jedem Teilbereich der betreffenden Speicherbank zugegriffen wird. Bei dem in Figur 4 verdeutlichten Verfahren wird beispielsweise während der ersten 12 Taktzeiten aus jedem Teilbereich jeder Speicherbank jeweils eine Speicheradresse ausgelesen. In den

Taktzeiten 13 bis 23 werden jeweils 16 weitere Speicheradressen ausgelesen.

Figur 5 veranschaulicht einige der Befehle aus Figur 4. Es sind diejenigen Befehle der Befehlsfolge 12A für die Speicherbank A dargestellt, durch die auf den ersten Teilbereich A1 der Speicherbank A zugegriffen wird, um ein digitales Datenbit einer Speicheradresse adr1 aus dem Teilbereich A1 auszulesen. Entlang des Zeitstrahls sind die Ziffern der dazugehörigen Taktzeiten dargestellt. Zur Taktzeit 1 wird die Wortleitung WL_N , an die die Speicheradresse adr1 angeschlossen ist, im Teilbereich A1 der Bank A aktiviert, wie in Figur 4 durch die Befehlsbezeichnung act-A1-adr1 dargestellt. Zur Taktzeit 3 wird das in der Speicheradresse adr1 gespeicherte Datenbit ausgelesen, wie in Figur 4 durch den Befehl rd-A1-adr1 zur Taktzeit 3 für die Befehlsfolge 12A dargestellt. Zur Taktzeit 11 wird die Wortleitung WL_N wieder deaktiviert, wie in Figur 4 zur Taktzeit 11 durch den Befehl pre-A1-adr1 der Befehlsfolge 12A dargestellt. Die Figur 5 enthält diejenigen Befehle, die zum Lesen des in der Speicheradresse adr1 gespeicherten Datenbits erforderlich sind. Der in Figur 5 dargestellte Auszug aus der Befehlsfolge 12A zeigt, daß die für Halbleiterspeicher geltenden zeitlichen Mindestabstände zwischen Befehlen, die auf denselben Speicherbereich zugreifen, eingehalten werden. So beträgt die zeitliche Differenz t_{RCD} zwischen dem Aktivieren der Wortleitung (zur Taktzeit 1) und dem Auslesen der daran angeschlossenen Speicheradresse adr1 (zur Taktzeit 3) zwei Taktschritte. Ein zeitlicher Mindestabstand zwischen einem Befehl zum Aktivieren einer Wortleitung (zur Taktzeit 1) und dem Schließen derselben Wortleitung (zur Taktzeit 11) von 6 Taktschritten ist ebenfalls eingehalten. Auch die CAS-Latenz (Column Address Sequence Latency) von mindestens zwei Taktzeiten zwischen dem Zeitpunkt des Auslesens einer Speicherzelle (zur Taktzeit 3) und der Weitergabe der ausgelesenen Information an den Ausgang des Halbleiterspeichers wird ebenfalls eingehalten. Daneben existieren weitere kritische Parameter, die durch die Bauweise und die

Funktionsweise integrierte Halbleiterspeicher bedingt sind und nach denen sich die Art und Weise richtet, auf die die auf die verschiedenen Teilbereiche einer Speicherbank zugreifenden Befehle geordnet werden, um eine Befehlsfolge mit möglichst wenigen Leerlauftaktzeiten zu bilden. Die konkrete Reihenfolge der Befehle für einen bestimmten Halbleiterspeicher ergibt sich aus den vorgegebenen zeitlichen Mindestabständen sowie nach der Anzahl der unabhängig voneinander angesteuerten Teilbereiche des speicherbankinternen Adreßfeldes.

Patentansprüche

1. Verfahren zum Testen eines Halbleiterspeichers (10) mit mehreren Speicherbänken (A, B, C, D), wobei testweise Informationen (0; 1) in Speicheradressen (adrN) geschrieben und/oder aus den Speicheradressen (adrN) ausgelesen werden, d a d u r c h g e k e n n z e i c h n e t, daß

- für das Speicheradressenfeld jeder Speicherbank (A; B; C; D) mehrere Teilbereiche (A1, A2, A3, A4; B1, ...B4; ..., D4) definiert werden, die unabhängig voneinander angesteuert werden,
- daß für jede Speicherbank (A; B; C; D) unter Verwendung von ersten Befehlen (ord-A1, ord-B1, ord-C1, ord-D1), die auf einen ersten Teilbereich (A1; B1; C1; D1) des Speicheradressenfeldes der jeweiligen Speicherbank (A; B; C; D) zugreifen, und unter Verwendung von zweiten Befehlen (ord-A2, ord-B2, ord-C2, ord-D2), die auf einen anderen, zweiten Teilbereich (A2; B2; C2; D2) des Speicheradressenfeldes derselben Speicherbank (A; B; C; D) zugreifen, eine der Speicherbank (A; B; C; D) zugeordnete komprimierte Befehlsfolge (12A; 12B; 12C; 12D) gebildet wird, in der die ersten Befehle (ord-A1, ..., ord-D1) ungeraden Taktzeiten (Tu) zugeordnet sind und in der die zweiten Befehle (ord-A2, ..., ord-D2) geraden Taktzeiten (Tg) zugeordnet und zwischen die ersten Befehle eingeschoben sind, und
- daß die Informationen (0; 1) geschrieben und/oder ausgelesen werden, indem parallel in allen Speicherbänken (A, B, C, D) die diesen Speicherbänken jeweils zugeordneten komprimierten Befehlsfolgen (12A, 12B, 12C, 12D) ausgeführt werden.

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß das Speicheradressenfeld jeder Speicherbank (A; B; C; D) in vier Teilbereiche (A1, A2, A3, A4; B1, ..., D4) unterteilt wird und daß die komprimierten Befehlsfolgen (12A; ...; 12D) so gebildet werden, daß zu ungeraden Taktzeiten (Tu) entweder

auf den ersten Teilbereich (A1; B1; C1; D1) oder auf einen dritten Teilbereich (A3; B3; C3; D3) und zu geraden Taktzeiten (Tg) entweder auf den zweiten Teilbereich (A2; B2; C2; D2) oder auf einen vierten Teilbereich (A4; B4; C4; D4) des Speicheradressenfeldes der jeweiligen Speicherbank (A; B; C; D) zugegriffen wird.

3. Verfahren nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t, daß
10 innerhalb der komprimierten Befehlsfolgen (12A, 12B, 12C, 12D) die Reihenfolge der abwechselnd auf mehrere Teilbereiche (A1, A2, A3, A4; B1, ..., D4) des Speicheradressenfeldes der jeweiligen Speicherbank (A; ...; D) zugreifenden Befehle so gewählt wird, daß einer jeden Taktzeit (T) ein Befehl (ord-
15 Xn-adrN) zugeordnet ist, der auf einen der Teilbereiche (A1, A2, A3, A4; B1, ..., D4) der jeweiligen Speicherbank (A; B; C; D) zugreift.

4. Verfahren nach einem der Ansprüche 1 bis 3,
20 d a d u r c h g e k e n n z e i c h n e t, daß
jede einer Speicherbank (A; B; C; D) zugeordnete Befehlsfolge (12A; ...; 12D) eine Aneinanderreihung von Befehlsblöcken (13A, 14A; 13B, 14B; ...; 13D, 14D) enthält, in der ein beliebiger Befehlsblock (13A; 14A; 13B; 14B; ...; 13D; 14D) Befehle (ord-X1-adrN, ord-X2-adrN, ord-X3-adrN, ord-X4-adrN)
25 zum Ansteuern jeweils einer Speicheradresse (adrN) aus jedem Teilbereich (A1, ..., A4; B1, ..., D4) des Speicheradressenfeldes der jeweiligen Speicherbank (A; B; C; D) enthält.

30 5. Verfahren nach einem der Ansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t, daß
jede Befehlsfolge (12A, 12B, 12C, 12D) aus Befehlen zum Schreiben (wr) oder zum Lesen (rd) von Informationen (0; 1) und aus Befehlen zum Aktivieren (act) oder zum Deaktivieren
35 (pre) von Wortleitungen (WL) besteht.

6. Verfahren nach einem der Ansprüche 2 bis 5,

d a d u r c h g e k e n n z e i c h n e t, daß
das Speicheradressenfeld jeder Speicherbank (A; B; C; D) in
Richtung senkrecht zum Verlauf von Wortleitungen (WL) in meh-
rere unabhängig voneinander ansteuerbare Teilbereiche (A1,
5 A2, A3, A4; B1, ..., D4) unterteilt wird, auf die durch die
der jeweiligen Speicherbank (A; B; C; D) zugeordnete Befehls-
folge (12A; ...; 12D) abwechselnd zugegriffen wird.

7. Verfahren nach einem der Ansprüche 1 bis 6,
10 d a d u r c h g e k e n n z e i c h n e t, daß
die den Speicherbänken (A; B; C; D) zugeordneten Befehlsfol-
gen (12A; 12B; 12C; 12D) so aufgebaut sind, daß jeder Befehl
(rd-Xn-adrN) zum Auslesen einer Speicheradresse (adrN) genau
zwei Taktzeiten nach einem Befehl (act-Xn-adrN) folgt, durch
15 welchen diejenige Wortleitung (WL_N), an welche die auszule-
sende Speicheradresse (adrN) angeschlossen ist, aktiviert
wird.

8. Verfahren nach einem der Ansprüche 1 bis 7,
20 d a d u r c h g e k e n n z e i c h n e t, daß
ein dynamischer Halbleiterspeicher (10), vorzugsweise ein dy-
namischer Schreib-Lese-Speicher (10) getestet wird.

Zusammenfassung

Verfahren zum Testen eines Halbleiterspeichers mit mehreren Speicherbänken

5

Die Erfindung betrifft ein Verfahren zum Testen eines Halbleiterspeichers (10) mit mehreren Speicherbänken (A, B, C, D), bei dem testweise Informationen (0; 1) in Speicheradressen (adr1, adr2, adr3, adr4) geschrieben und/oder aus den Speicheradressen (adr1, adr2, adr3, adr4) ausgelesen werden. Erfindungsgemäß wird ein Verfahren bereitgestellt, das ein speicherbankparalleles Ansteuern dieser Speicheradressen mit einem Interleaved-Modus, der in Bezug auf disjunkte Teilbereiche (A1, A2, A3, A4; B1, ..., D4) der Speicherbänke (A; B; C; D) durchgeführt wird, miteinander verknüpft. Dadurch wird die zum Testen des Halbleiterspeichers (10) benötigte Testzeit verkürzt.

Figur 3

Bezugszeichenliste

10	Halbleiterspeicher
12A, 12B, 12C, 12D	Befehlsfolge
5 13, 14	Befehlsblock
A, B, C, D	Speicherbank
A1, A2, ..., D4	Teilbereich des bankinternen Adressenfel- des
WL	Wortleitung

Takt	Befehl (Bank A)
1	act - A - adr 1
2	0
3	rd - A - adr 1
4	0
5	0
6	0
7	pre - A - adr 1
8	0
9	act - A - adr 2
10	0
11	rd - A - adr 2
12	0
13	0
14	0
15	pre - A - adr 2
16	0

Fig. 1

Takt	Befehl
1	act - A
2	pre - B
3	rd - A
4	act - B
5	pre - C
6	rd - B
7	act - C
8	pre - D
9	rd - C
10	act - D
11	pre - A
12	rd - D

$$\text{ord} = \{ \text{act}, \text{pre}, \text{rd}, \text{wr} \}$$

$$X = \{ A, B, C, D \}$$

Fig. 2

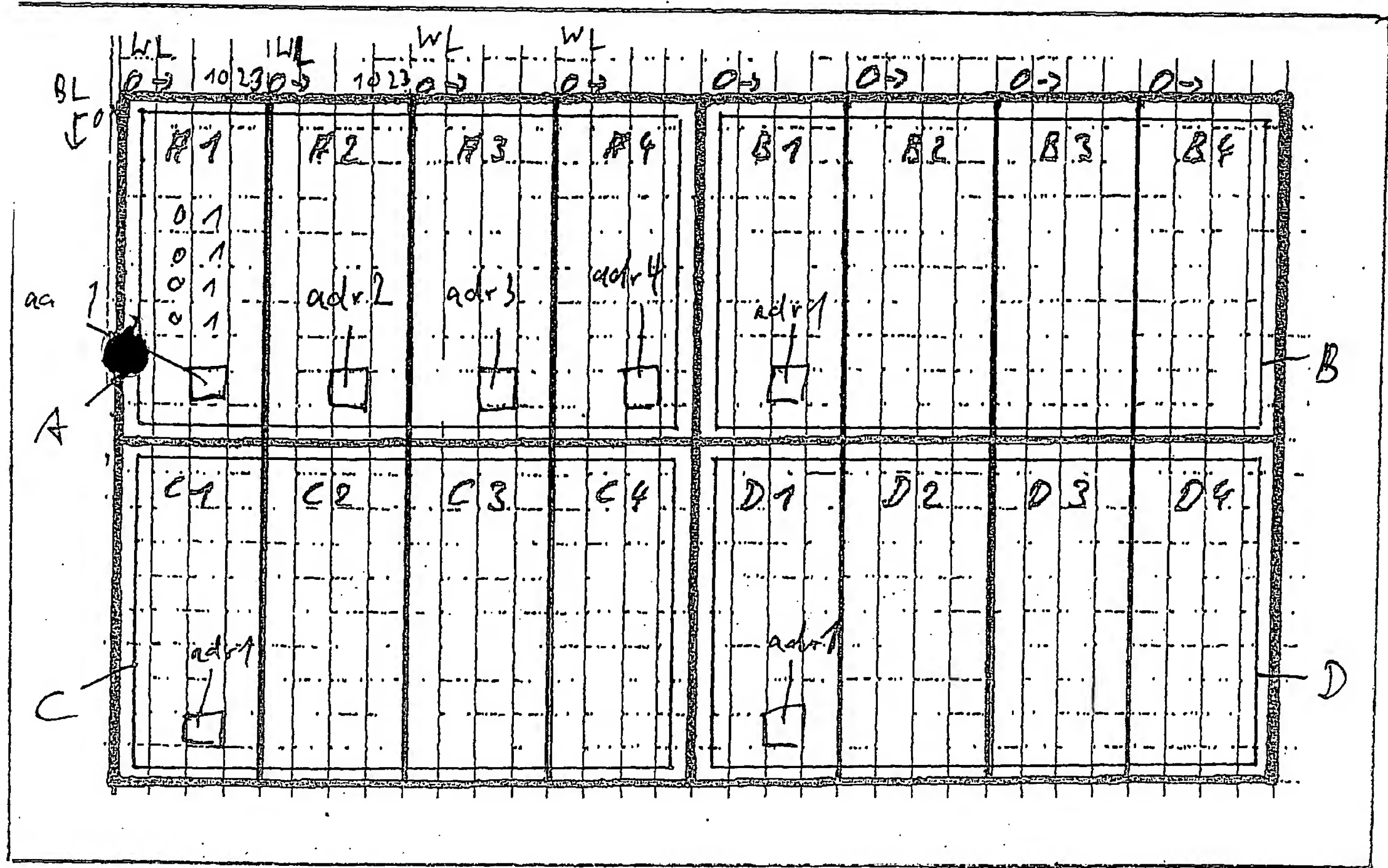


Fig. 3

Fig. 4

Befehlsfolgen $\{ \text{ord} - X_n - \text{adr} N \}$:

	12 A	12 B	12 C	12 D
Vaktzeit	(Bank A)	(Bank B)	(Bank C)	(Bank D)
1	act - A1 - adr 1	act - B1 - adr 1	act - C1 - adr 1	act - D1 - adr 1
2	pre - A2 - adr 2	pre - B2 - adr 2	pre - C2 - adr 2	pre - D2 - adr 2
3	rd - A1 - adr 1	rd - B1 - adr 1	rd - C1 - adr 1	rd - D1 - adr 1
4	act - A2 - adr 2	act - B2 - adr 2	act - C2 - adr 2	act - D2 - adr 2
5	pre - A3 - adr 3	pre - B3 - adr 3	pre - C3 - adr 3	pre - D3 - adr 3
6	rd - A2 - adr 2	rd - B2 - adr 2	rd - C2 - adr 2	rd - D2 - adr 2
7	act - A3 - adr 3	act - B3 - adr 3	act - C3 - adr 3	act - D3 - adr 3
8	pre - A4 - adr 4	pre - B4 - adr 4	pre - C4 - adr 4	pre - D4 - adr 4
9	rd - A3 - adr 3	rd - B3 - adr 3	rd - C3 - adr 3	rd - D3 - adr 3
10	act - A4 - adr 4	act - B4 - adr 4	act - C4 - adr 4	act - D4 - adr 4
11	pre - A1 - adr 1	pre - B1 - adr 1	pre - C1 - adr 1	pre - D1 - adr 1
12	rd - A4 - adr 4	rd - B4 - adr 4	rd - C4 - adr 4	rd - D4 - adr 4
13	act - A1 - adr 5	act - B1 - adr 5	act - C1 - adr 5	act - D1 - adr 5
14	pre - A2 - adr 6	pre - B2 - adr 6	pre - C2 - adr 6	pre - D2 - adr 6
15	rd - A1 - adr 5	rd - B1 - adr 5	rd - C1 - adr 5	rd - D1 - adr 5
16	act - A2 - adr 6	act - B2 - adr 6	act - C2 - adr 6	act - D2 - adr 6
17	pre - A3 - adr 7	pre - B3 - adr 7	pre - C3 - adr 7	pre - D3 - adr 7
18	rd - A2 - adr 6	rd - B2 - adr 6	rd - C2 - adr 6	rd - D2 - adr 6
19	act - A3 - adr 7	act - B3 - adr 7	act - C3 - adr 7	act - D3 - adr 7
20	pre - A4 - adr 8	pre - B4 - adr 8	pre - C4 - adr 8	pre - D4 - adr 8
21	rd - A3 - adr 7	rd - B3 - adr 7	rd - C3 - adr 7	rd - D3 - adr 7
22	act - A4 - adr 8	act - B4 - adr 8	act - C4 - adr 8	act - D4 - adr 8
23	pre - A1 - adr 5	pre - B1 - adr 5	pre - C1 - adr 5	pre - D1 - adr 5
24	rd - A4 - adr 8	rd - B4 - adr 8	rd - C4 - adr 8	rd - D4 - adr 8
	13 A, 14 A	13 B, 14 B	13 C, 14 C	13 D, 14 D

13

14

Zugriff auf A1:

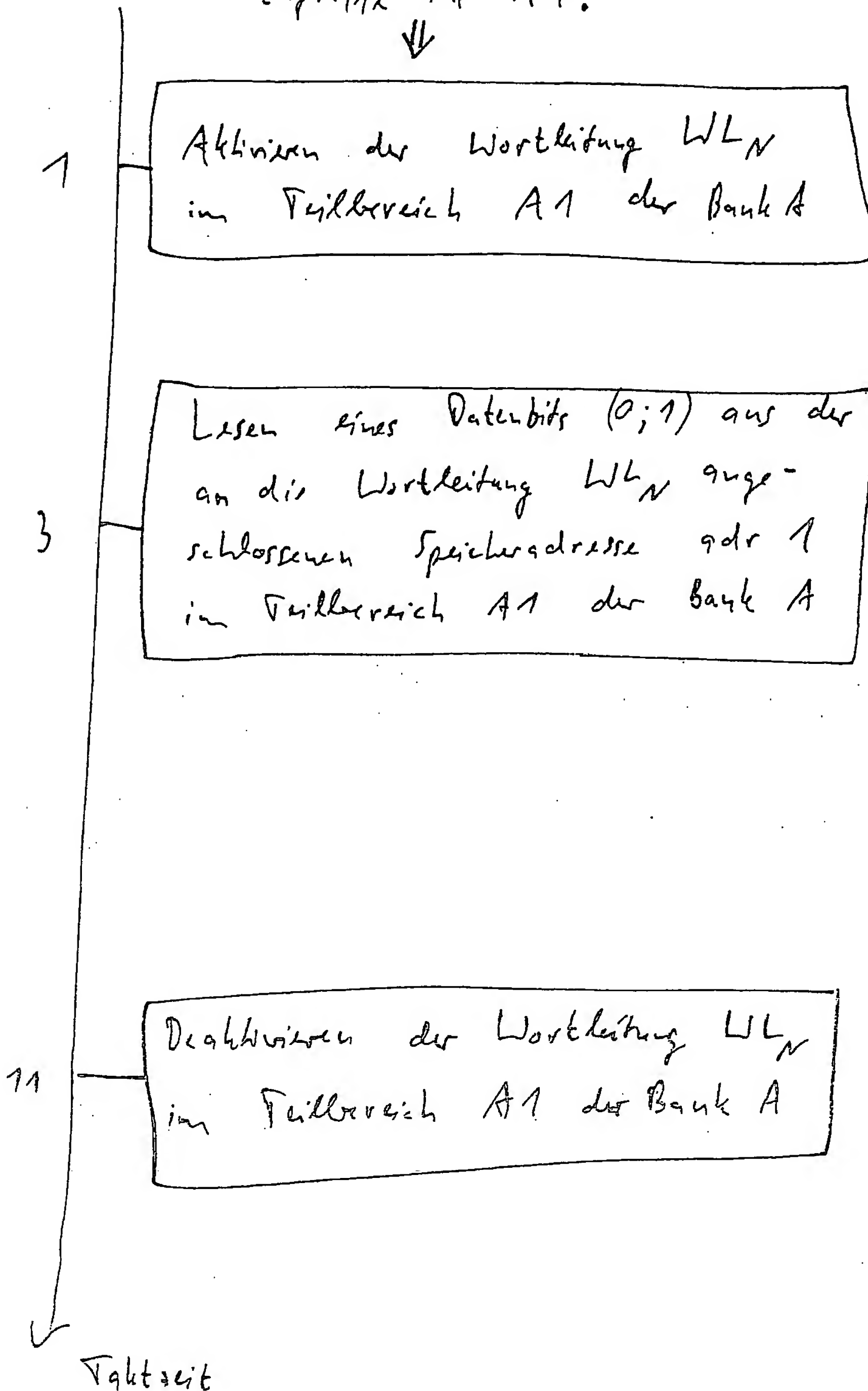


Fig. 5